

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-133471

(43)Date of publication of application : 09.05.2003

(51)Int.Cl.

H01L 23/12

H01L 23/02

H05K 1/02

H05K 1/11

H05K 3/46

(21)Application number : 2001-329080

(71)Applicant : SUMITOMO METAL IND LTD

(22)Date of filing : 26.10.2001

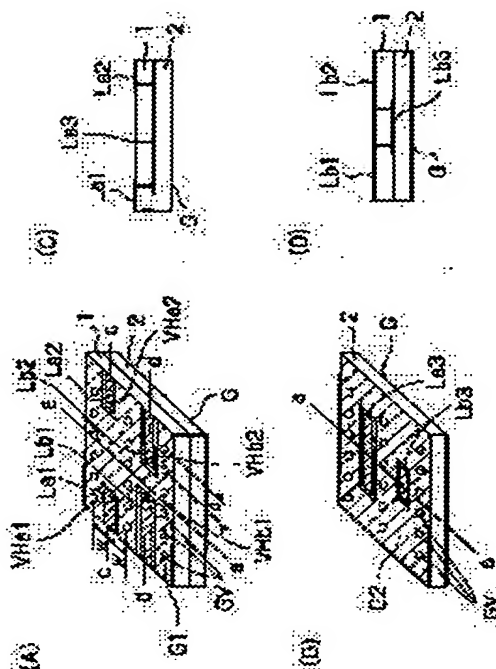
(72)Inventor : TSUKIYAMA YOSHIO  
SAKAMOTO YORIBUMI  
SHIOBARA MASATO  
YAMAMOTO HISAFUMI

## (54) WIRING BOARD FOR HIGH FREQUENCY SIGNAL

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce crosstalk between adjacent signal line systems even in case of signals in sub-millimetric wave band and millimetric wave band.

SOLUTION: Signal lines La1, La2, Lb1, and Lb2 are formed on the upper surface of an upper dielectric layer 1, and signal lines La3 and Lb3 are formed on the upper surface of a lower dielectric layer 2. The signal line La3 is connected electrically with the signal lines La1 and La2 through conductive vias VHa1 and VHa2 penetrating the upper dielectric layer 1, and the signal line Lb3 is connected electrically with the signal lines Lb1 and Lb2 through conductive vias VHb1 and VHb2 penetrating the upper dielectric layer 1. Ground electrodes G1, G2 and G are formed on the upper surface of the upper and lower dielectric layers and the lower surface of the lower dielectric layer and each signal line system is formed of a coplanar line. Since the signal lines on the input end side and the output end side have different length in the adjacent signal line systems, mutual interference due to electromagnetic radiation is retarded and crosstalk is reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-133471

(P2003-133471A)

(43) 公開日 平成15年5月9日 (2003.5.9)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト <sup>*</sup> (参考)
H 0 1 L 23/12	3 0 1	H 0 1 L 23/12	3 0 1 Z 5 E 3 1 7
		23/02	H 5 E 3 3 8
23/02		H 0 5 K 1/02	J 5 E 3 4 6
H 0 5 K 1/02			N
		1/11	H

審査請求 未請求 請求項の数 9 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2001-329080 (P2001-329080)

(22) 出願日 平成13年10月26日 (2001.10.26)

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72) 発明者 築山 良男

兵庫県尼崎市扶桑町1番8号 住友金属工業株式会社エレクトロニクス技術研究所内

(72) 発明者 阪本 頼史

兵庫県尼崎市扶桑町1番8号 住友金属工業株式会社エレクトロニクス技術研究所内

(74) 代理人 100089705

弁理士 社本 一夫 (外5名)

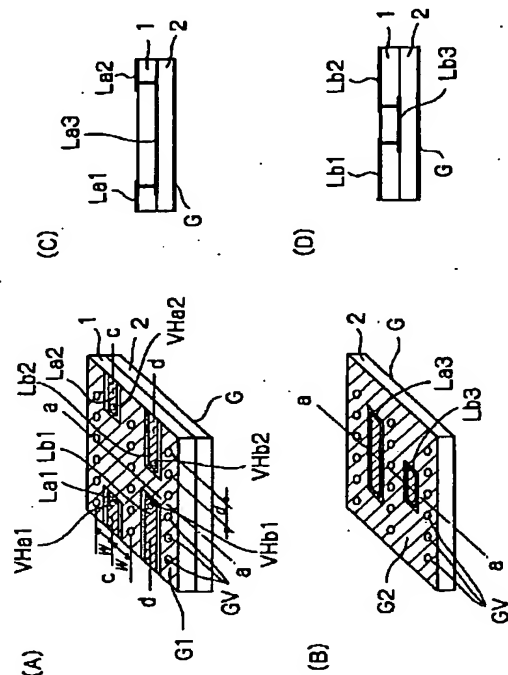
最終頁に続く

(54) 【発明の名称】 高周波信号用の配線基板

(57) 【要約】

【課題】 準ミリ波帯及びミリ波帯の信号であっても隣接する信号線路系間のクロストークを低減する。

【解決手段】 上部誘電体層1の上面に信号線路La1、La2、Lb1、Lb2が形成され、下部誘電体層2の上面に信号線路La3、Lb3が形成されている。信号線路La3は、上部誘電体層1を貫通する導電性ビアVHa1及びVHa2を介して信号線路La1とLa2とを電氣的に接続し、信号線路Lb3は、上部誘電体層1を貫通する導電性ビアVHb1及びVHb2を介して信号線路Lb1とLb2とを電氣的に接続する。上部及び下部誘電体層の上面、並びに下部誘電体層の下面には、グランド電極G1、G2、Gが形成され、各信号線路系はコプレーナ線路で形成される。入力端側及び出力端側の信号線路が、隣接する信号線路系で相互に異なる長さに形成されているので、電磁放射等による相互干渉を受けにくく、クロストークが低減される。



## 【特許請求の範囲】

【請求項1】 複数の信号線路系を備えた高周波信号用の配線基板において、

各信号線路系は、その入力端及び出力端の間が、導電性ビアによって電気的に接続された複数の信号線路に分割されており、

複数の信号線路系は、それぞれの入力端から延在する入力側信号線路及び出力端から延在する出力側信号線路の少なくとも一方が、配線基板の表面に配置されており、隣接する2つの信号線路系において、信号線路の接続用の導電性ビアが、信号線路系の入力端から相互に異なる距離の位置、及び信号線路系の出力端から相互に異なる距離の位置に設けられていることを特徴とする配線基板。

【請求項2】 請求項1記載の配線基板において、該配線基板は、積層された上部誘電体層及び下部誘電体層からなり、

複数の信号線路系の入力側信号線路及び出力側信号線路が、配線基板の表面となる上部誘電体層の上面に形成され、

複数の信号線路系のそれぞれにおいて、入力側信号線路と出力側信号線路とを導電性ビアを介して接続する信号線路が、下部誘電体層の上面に形成され、

上部誘電体層の上面に、信号線路の周囲にギャップを介してグランド電極が形成され、

配線基板の裏面となる下部誘電体層の下面全面にグランド電極が形成されていることを特徴とする配線基板。

【請求項3】 請求項1記載の配線基板において、該配線基板は、積層された上部誘電体層及び下部誘電体層からなり、

複数の信号線路系の入力側信号線路及び出力側信号線路の一方が、配線基板の表面となる上部誘電体層の上面に形成され、

複数の信号線路系の入力側信号線路及び出力側信号線路の他方が、配線基板の裏面となる下部誘電体層の下面に形成され、

複数の信号線路系のそれぞれにおいて、入力側信号線路と出力側信号線路とを導電性ビアを介して接続する信号線路が、下部誘電体層の上面に形成され、

上部誘電体層の上面及び下部誘電体層の下面に、信号線路の周囲にギャップを介してグランド電極が形成されていることを特徴とする配線基板。

【請求項4】 請求項1記載の配線基板において、複数の信号線路系の入力側信号線路及び出力側信号線路の一方が、配線基板の表面に配置され、他方が配線基板の裏面に配置され、

配線基板の表面及び裏面には、信号線路の周囲にギャップを介してグランド電極が形成されていることを特徴とする配線基板。

【請求項5】 請求項2又は3記載の配線基板におい

て、該配線基板はさらに、下部誘電体層の上面に、信号線路の周囲にギャップを介して形成されたグランド電極を備えていることを特徴とする配線基板。

【請求項6】 請求項2～5いずれかに記載の配線基板において、該配線基板はさらに、上部誘電体層から下部誘電体層まで貫通し、下部誘電体層の下面のグランド電極に接続された複数の導電性ビアを備えていることを特徴とする配線基板。

【請求項7】 請求項1～6いずれかに記載の配線基板において、該配線基板は、ICチップを外部回路に接続するためのものであり、配線基板はさらに、配線基板を貫通し、ICチップを実装するための貫通孔と、

配線基板の裏面に積層されたベース基板であって、その上面にICチップを配置するベース基板と、

配線基板の表面に設けられ、装着されたICチップを封止するための封止リングと、封止リングに装着される蓋とを備えていることを特徴とする配線基板。

【請求項8】 請求項7記載の配線基板において、ベース基板は、ICチップを冷却するための放熱材料で構成されていることを特徴とする配線基板。

【請求項9】 請求項7又は8記載の配線基板において、該配線基板は、矩形形状であり、貫通孔の周囲の4辺の少なくとも1辺に、複数の信号線路系が形成されていることを特徴とする配線基板。

## 【発明の詳細な説明】

## 【0001】

【発明の技術分野】本発明は、高周波用配線基板に関するし、より詳細には、準ミリ波帯及びミリ波帯の高周波信号を伝送する複数の信号線路を組み込んだ配線基板に関する。なお、ここで、配線基板とは、回路基板の他、回路基板上にICチップを実装するための領域、封止リング及び蓋などを備えたIC収納用パッケージも含むものとする。

## 【0002】

【従来の技術】図7は、特開平4-336702号公報に記載されている、従来例の高周波信号用の半導体装置を組み込むためのICパッケージを示している。該ICパッケージは、パッケージ基板1、パッケージ側壁2、及び封止蓋3によってキャビティが構成され、該キャビティ内に、ICチップを実装するダイボンディング領域4と、高周波伝送線路を構成する内部コプレーナ線路20が形成された誘電体基板6とが設けられている。そして、パッケージ基板1の底面部にリード端子を構成する外部コプレーナ線路10が設けられ、外部コプレーナ線路10と内部コプレーナ線路20との接地金属薄膜8、18同士及び信号線金属薄膜9、19同士を、パイアホール11によって電気的に接続している。この従来例においては、信号線路をコプレーナ線路すなわちコプレー

ナ・ウェーブガイド構造によって形成しているため、信号周波数が高周波帯中の比較的低い周波数である場合には、隣接する信号線路のアイソレーションを確保することができる。

【0003】一方、オプトエレクトロニクス分野のマルチプレクサ、デマルチプレクサ、ドライバ等の IC においては、数 10 kHz から準ミリ波帯 (10~30 GHz) あるいはミリ波帯 (30~300 GHz) までの信号をフラットに伝送する信号線路が要求されるようになってきた。また、オプトエレクトロニクス分野に限らず、種々の IC においても同様に、高周波帯域化が図られてきている。このような準ミリ波帯~ミリ波帯、又はこれら周波数帯を含んだブロードバンド又はウルトラワイドバンドの信号を処理する IC を基板上に形成してパッケージ化した場合、図 7 に示した従来例のパッケージのように、内部信号線路及び外部信号線路をコプレーナ線路で形成したとしても、必ずしも、隣接配置される複数の信号線路間に十分なアイソレーションが得られるものではなく、クロストークが発生してしまう。このクロストークの問題は、近年の電子デバイスの小型化及び高密度化によって、基板上の信号線路間隔がより狭く設定されていることから、より切実な問題となっている。特に、基板信号線路の間隔が  $\lambda/\sqrt{\epsilon_r}$  ( $\lambda$ : 伝送信号の空気中における波長、 $\epsilon_r$ : 基板の比誘電率) 以下で、隣接している距離が  $\lambda/(2\sqrt{\epsilon_r})$  以上におよぶ場合、クロストークの問題は無視できなくなり、そして、信号線路の間隔が  $\lambda/(2\sqrt{\epsilon_r})$  以下になると、クロストークは非常に顕著になってくる。

【0004】また、図 7 の従来例の IC パッケージにおいては、パッケージ基板 1 の裏面に形成された外部接続端子である接地線金属薄膜 8 及び信号線金属薄膜 9 を、パッケージ基板 1 及び誘電体基板 6 を通して形成されるバイアホール 11 を介して、ダイボンディング領域 4 に実装される IC チップに接続しており、このため、パッケージ基板 1 の裏面全面を接地電極とすることができない。したがって、IC チップの冷却用のヒートスラグをパッケージ基板 1 の裏面に取り付けの場合に、接地金属薄膜 8 と信号線金属薄膜 9 とのショートを防止するように取り付ける必要があり、よって、ヒートスラグを小型化せざるを得ず、十分な冷却効果を得ることが困難である。また、場合によっては、ヒートスラグを取り付けること自体が困難である。

【0005】別の従来例として、複数の隣接信号線路間のクロストークを低減させるために、信号線路をコプレーナ線路で形成し、かつ、誘電体基板を多層に形成してその内層にも接地電極を形成した高周波配線基板も提案されている。しかしながら、この従来例においても、準ミリ波帯~ミリ波帯の信号用に該配線基板を用いた場合に、信号線路間のクロストークの問題が生じてしまう恐れがあり、また、図 7 の IC パッケージと同様に、基板

の裏面全面を接地電極とすることができないため、ヒートスラグの取り付けも困難である。

【0006】本発明は、上記したような従来例の問題点に鑑みてなされたものであり、その目的は、高周波信号を処理する IC チップを実装する基板において、信号が準ミリ波帯~ミリ波帯の信号であっても、隣接する信号線路間のクロストークを低減することができるようにすることである。本発明の他の目的は、高周波信号を処理する IC チップを実装する基板において、放熱用のヒートスラグを容易に取り付けられるようにすることである。

#### 【0007】

【課題を解決するための手段】上記した本発明の目的を達成するために、本発明にかかる、複数の信号線路系を備えた高周波信号用の配線基板においては、各信号線路系は、その入力端及び出力端の間が、導電性ビアによって電気的に接続された複数の信号線路に分割されており、複数の信号線路系は、それぞれの入力端から延在する入力側信号線路及び出力端から延在する出力側信号線路の少なくとも一方が、配線基板の表面に配置されており、隣接する 2 つの信号線路系において、信号線路の接続用の導電性ビアが、信号線路系の入力端から相互に異なる距離の位置、及び信号線路系の出力端から相互に異なる距離の位置に設けられていることを特徴としている。

【0008】本発明に係る配線基板の好適な実施形態においては、配線基板は、積層された上部誘電体層及び下部誘電体層からなり、複数の信号線路系の入力側信号線路及び出力側信号線路が、配線基板の表面となる上部誘電体層の上面に形成され、複数の信号線路系のそれぞれにおいて、入力側信号線路と出力側信号線路とを導電性ビアを介して接続する信号線路が、下部誘電体層の上面に形成され、上部誘電体層の上面に、信号線路の周囲にギャップを介してグランド電極が形成され、配線基板の裏面となる下部誘電体層の下面全面にグランド電極が形成されていることを特徴としている。

【0009】本発明に係る配線基板の他の好適な実施形態においては、配線基板は、積層された上部誘電体層及び下部誘電体層からなり、複数の信号線路系の入力側信号線路及び出力側信号線路の一方が、配線基板の表面となる上部誘電体層の上面に形成され、複数の信号線路系の入力側信号線路及び出力側信号線路の他方が、配線基板の裏面となる下部誘電体層の下面に形成され、複数の信号線路系のそれぞれにおいて、入力側信号線路と出力側信号線路とを導電性ビアを介して接続する信号線路が、下部誘電体層の上面に形成され、上部誘電体層の上面及び下部誘電体層の下面に、信号線路の周囲にギャップを介してグランド電極が形成されていることを特徴としている。

【0010】上記した 2 つの実施形態において、下部誘

電体層の上面に、信号線路の周囲にギャップを介して形成されたグラウンド電極を備え、かつ、該グラウンド電極が、上部誘電体層から下部誘電体層まで貫通する複数の導電性ビアによって、下部誘電体層の下面のグラウンド電極に接続されていることが好ましい。

【0011】本発明に係る配線基板の別の好適な実施形態においては、複数の信号線路系の入力側信号線路及び出力側信号線路の一方が、配線基板の表面に配置され、他方が配線基板の裏面に配置され、配線基板の表面及び裏面には、信号線路の周囲にギャップを介してグラウンド電極が形成されていることを特徴としている。この実施形態においても、これらグラウンド電極が、上部誘電体層から下部誘電体層まで貫通する複数の導電性ビアによって、相互に接続されていることが好ましい。

【0012】本発明に係る上記した配線基板はさらに、配線基板を貫通し、ICチップを実装するための貫通孔と、配線基板の裏面に積層されたベース基板であって、その上面にICチップを配置するベース基板と、配線基板の表面に設けられ、装着されたICチップを封止するための封止リングと、封止リングに装着される蓋とを備えていることを特徴とし、ICチップを外部回路に接続するために用いることができる。この場合、ベース基板は、ICチップを冷却するための放熱材料で構成されていることが好ましい。

【0013】

【発明の実施の態様】図1は、本発明に係る、ICチップと外部接続端子とを接続するための信号線路が形成された高周波信号用の配線基板の第1の実施形態を示している。図1の(A)の斜視図に示すように、第1の実施形態の高周波用配線基板は、上部誘電体層1及び下部誘電体層2の2層構造に形成されている。図1において、(B)は、下部誘電体層の表面に形成された信号線路を説明するための斜視図であり、(C)及び(D)は、(A)におけるc-c線及びd-d線の断面図である。

【0014】配線基板の表面すなわち上部誘電体層1の上面には、図1の(A)に示すように、信号線路La1、La2、Lb1、及びLb2が形成され、上部誘電体層1の中心線a-aに関して、信号線路La1及びLa2がほぼ線対称に、また信号線路Lb1及びLb2もほぼ線対称に配置されている。なお、これらを必ずしも線対称にする必要はないが、信号線La1とLb1の長さを所定長さ以上相違させ、信号線La2とLb2の長さを所定長さ以上、相違させる必要がある。これら信号線路La1、La2、Lb1及びLb2の内方(中心線a-a側)端部には、導電体(金属)が充填されたバイアホールすなわち導電性ビアVHa1、VHa2、VHb1、VHb2が上部誘電体層1を貫通して設けられている。上部誘電体層1の信号線路以外の部分には、信号線路と所定幅のギャップを介して、導電膜G1が形成され、該導電膜G1は、後述するように、グラウンド電位

に保持され、したがって、グラウンド電極を構成する。これにより、これら4つの信号線路は、コプレーナ線路の形態で構成され、クロストークが低減される。信号線路La1及びLb1をICチップのリード端子接続用とし、信号線路La2及びLb2を外部端子接続用とするか、または、その逆に用いる。

【0015】一方、配線基板の内面すなわち下部誘電体層2の上面には、図1の(B)に示すように、その中心部に信号線路La3及びLb3が形成されている。信号線路La3は、図1の(C)に示すように、上部誘電体層1に設けられた導電性ビアVHa1及びVHa2を介して、信号線路La1とLa2とを電気的に接続し、信号線路系aを構成する。信号線路Lb3は、図1の(D)に示すように、導電性ビアVHb1及びVHb2を介して、信号線路Lb1及びLb2を電気的に接続し、信号線路系bを構成する。下部誘電体層2の下面には、その全面にグラウンド電極Gが形成されている。なお、下面に信号線路が形成されている場合のように、下面にグラウンド電極が形成されていない部分があると、プリント回路基板から電磁ノイズが入って、ICに悪影響を与えたり、グラウンド電極に相当するメタル板により、パッケージ内の信号線路のインピーダンスが変化してしまい、IC、パッケージ、プリント回路基板の間のインピーダンス整合がとれず、伝送損失が大きくなる等の問題が生じる恐れがある。本発明の第1の実施形態においては、全面がグラウンド電極であるため、これらの問題を生じる恐れがない。

【0016】各信号線路系a、bの単独の伝送特性において、それぞれのビア間の相互の干渉を低減するため、VHa1とVHa2との距離及びVHb1とVHb2との距離はそれぞれ、基板の厚さの2倍以上離間させることが好ましい。また、下部誘電体層2の上面の信号線路La3及びLb3以外の部分には、所定幅のギャップを介して導電膜G2が形成され、該導電膜G2も、後述するようにグラウンド電位に保持されてグラウンド電極を形成する。これにより、信号線路La3及びLb3もコプレーナ線路で形成される。なお、クロストークに関してはコプレーナ線路で形成することが好ましいが、インピーダンス整合に関してはストリップ線路で形成することが好ましい。したがって、信号線路La3及びLb3に関しては、必要な伝送特性等を考慮して、適宜の線路形態で構成すればよい。

【0017】上記したように、2つの信号線路系a及びbは、各信号線路系において、基板の中心線a-aから異なる距離に配置された導電性ビアを介して電気的に接続されているので、信号線路の不連続部である導電性ビア付近での電磁放射等による相互干渉を受けにくい。したがって、クロストークが低減され、信号線路系の高アイソレーションを確保することができる。

【0018】図1の(A)及び(B)に示すように、本

発明の第 1 の実施形態の配線基板には、さらに、上部誘電体層 1 及び下部誘電体層 2 を共に貫通し、下部誘電体層 2 の下面のグランド電極 G から延びる導電体が充填された複数のグランドビア G V が形成されている。したがって、上部誘電体層 1 及び下部誘電体層 2 の上部表面に形成された導電膜 G 1 及び G 2 は、グランドビア G V を介して基板下面のグランド電極 G と電気的に接続され、グランド電極と同電位すなわちグランド電位となる。グランドビア G V は、信号線路系の長手方向と平行な列上に、各信号線路系を挟んで配置されている。各グランドビア G V は、信号線路の中心と少なくとも所定の間隔  $w$ 、離間して配置されており、また、各列において、グランドビア G V は、一定の離間間隔  $d$  で配置されている。

【0019】基板を構成する誘電体層 1 及び 2 の比誘電率を  $\epsilon_r$ 、信号線路系を伝搬する最も高い高周波信号の空气中における波長を  $\lambda$  とすると、グランドビア G V の相互の間隔  $d$  は、

$$d < \lambda / (2 \times \epsilon_r^{1/2})$$

を満足するように設定することが好ましい。このように設定することにより、信号線路から垂直方向に放射された高周波信号がグランドビア G V の間隔から漏れ出すことを防止することができるので、伝送特性をより高周波まで向上させることができる。また、信号線路とグランドビア G V との間隔  $w$  は、

$$w < \lambda / (4 \times \epsilon_r^{1/2})$$

を満足するように形成することが好ましい。このように設定することにより、信号線路から垂直方向に放射された高周波信号により、グランドビア G V までの距離に起因して生じる共振の発生を防止することができる。したがって、 $\lambda$  以上の波長による共振が防止でき、0 Hz から波長  $\lambda$  に相当する最も高い高周波まで、フラットに信号を伝送することができる。

【0020】図 1 に示した第 1 の実施形態に基づいて形成された配線基板を用いて、2 つの信号線路系のクロストーク特性を、TLM (Transmission Line Modeling) 法を用いた 3 次元電磁界シミュレーションを行った。このシミュレーションに採用した配線基板の構成は、以下の通りである。

・基板 (上部誘電体層 1 及び下部誘電体層 2) の比誘電率  $\epsilon_r$ : 9.5

・基板の厚み: 0.3 mm

・信号線路 L a 1、L a 2 の長さ: 0.9 mm

・信号線路 L a 3 の長さ: 2.8 mm

・信号線路 L b 1、L b 2 の長さ: 1.3 mm

・信号線路 L b 3 の長さ: 2 mm

・信号線路 L a 1、L a 2、L b 1、L b 2 の幅: 0.14 mm

・信号線路 L a 3、L b 3 の幅: 0.1 mm

・信号線路 L a 3、L b 3 の表面からの深さ: 0.1 mm

m

・信号線路系 a と b との間隔: 0.8 mm

・信号線路 L a 1、L a 2、L b 1、L b 2 と導電金属膜 G 1 との間のギャップ: 0.13 mm

・信号線路 L a 3、L b 3 と導電金属膜 G 2 との間のギャップ: 0.21 mm

・グランドビア G V の中心間隔 (2w): 0.8 mm

・ビアの形状: 0.13 mm 角の角柱

このシミュレーションの結果、図 2 の太線のグラフ A で示したクロストーク特性が得られた。

【0021】また、本発明の上記した例のクロストーク特性と比較するために、2 つの信号線路系 a 及び b を同一構成とした配線基板 (比較例) を用いて、TLM 法による同様なシミュレーションを行った。このシミュレーションで用いた配線基板は、信号線路 L a 1、L a 2、L b 1、L b 2 の長さを総て 0.9 mm に設定し、信号線路 L a 3、L b 3 の長さを総て 2.8 mm に設定した。したがって、導電性ビア V H a 1 と V H b 1 とが入力端から同一距離であり、導電性ビア V H a 2 と V H b 2 とが出力端から同一距離に形成された。他の構成は、本発明の上記例と同一である。この比較例を用いたシミュレーションの結果、図 2 の細線のグラフ B で示したクロストーク特性が得られた。

【0022】図 2 のグラフ A 及び B を対比すると明らかに、本発明の実施例においては、80 GHz 近傍まで -30 dB 以上の高いアイソレーションが得られたが、比較例においては、60-75 GHz の範囲において、2 つの信号線路系 a 及び b のクロストークが生じており、十分なアイソレーションが得られていない。したがって、シミュレーションの結果、2 以上の信号線路系を配線基板に平行に設けた場合、上部誘電体層 1 上の信号線路と下部誘電体層 2 上の信号線路との接続点 (導電性ビアの位置) の配線基板中心線からの距離を、隣接する信号線路系で異ならせることにより、クロストークが改善されたアイソレーションを確保可能であることが明らかである。

【0023】図 3 は、本発明に係る配線基板の第 2 の実施形態を示している。第 2 の実施形態が第 1 の実施形態と相違する点は、上部誘電体層 1 上の信号線路 L a 1 と L a 2、及び信号線路 L b 1 と L b 2 が、配線基板の中心線 a-a に関して線対称には配置されていないことである。ただし、第 2 の実施形態においても、中心線 a-a からのこれら信号線路の内方端部の距離が相違している。したがって、必然的に、下部誘電体層 2 の上面上の信号線路 L a 3 及び L b 3 の配置位置及び長さが、第 1 の実施形態のものとは相違している。それ以外については、第 1 の実施形態と同様である。第 2 の実施形態も、第 1 の実施形態と同様な作用効果を奏することができる。

【0024】図 1 及び図 3 に示した第 1 及び第 2 の実施



形態においては、2つの信号線路系（すなわち、信号線路L a 1、L a 3及びL a 2の組と信号線路L b 1、L b 3及びL b 2の組）を形成した例を示しているが、信号線路系の数を3以上設けてもよいことは言うまでもない。ただし、いずれの場合でも、上部誘電体層1の表面に形成される隣接する信号線路系の長さを異ならせる、すなわち、配線基板の端部又は中心線から見た導電性ビアV H a 1及びV H b 1の位置をずらし、かつ、導電性ビアV H a 2及びV H b 2の位置をずらす必要があることは言うまでもない。

【0025】また、第1の実施形態で示した構成を、ICチップを実装する矩形状の配線基板の4辺中の少なくとも1辺に配置することにより、そのICチップと外部接続端子とを接続することができる。第2の実施形態についても同様である。さらに、第1の実施形態の構成及び第2の実施形態の構成を任意に選択して、矩形状の配線基板の4辺又は2辺に配置してもよい。図4は、このような例に相当する、本発明に係る配線基板の第3の実施形態を示している。図4において、(A)は配線基板の上部誘電体層1の上面図、(B)は下部誘電体層2の内面の上面図、(C)及び(D)は、線c-c及び線d-dからみた場合の配線基板の断面図である。なお、(C)及び(D)は、ICチップ3を基板の中央部に実装し、かつ蓋体4を実装した状態で示している。5はベース基板であり、ICチップを冷却するための放熱用ヒートスラグ機能を備えている。

【0026】この第3の実施形態においては、図4の(A)～(D)に示すように、第1の実施形態の構成を、矩形状の配線基板の4辺に配置している。そして、左右の対向する2辺はそれぞれ2つ信号線路系を形成し、上下の対向する2辺はそれぞれ4つの信号線路系が形成されている。また、配線基板は、(C)及び(D)に示すように、上部誘電体層1、下部誘電体層2、及びベース基板5の積層構造で形成され、その中心部にはICチップ3をベース基板5上に実装し収納するためのキャビティ6が形成されている。さらに、上部誘電体層1上には封止リング7が形成され、該リング7上には蓋体4が装着されて、キャビティ6を封止する。封止リング7は、ICチップ3への接続用の内側の信号線路と、外部接続用の外側の信号線路との間に形成されている。

【0027】第3の実施形態において、各辺の信号線路のパターンとして、第1及び第2の実施形態の信号線路の構成を任意に組み合わせてもよいことは、上記したとおりである。信号線路系の数が図示のものに限定されないことは、第1及び第2の実施形態の場合と同様である。第3の実施形態も、第1及び第2の実施形態と同様な作用効果を奏することができる。

【0028】図5は、本発明に係る配線基板の第4の実施形態を示している。第4の実施形態は、図1に示した第1の実施形態において、出力端側の信号配線L a 2及

びL b 2を配線基板の裏面すなわち下部誘電体層2の下面に形成し、そして、信号線路L a 2とL a 3とを接続する導電性ビアV H a 2、及び、信号線路L b 2とL b 3とを接続する導電性ビアV H b 2を、下部誘電体層2を貫通するように変形したものである。第4の実施形態においても、入力端からの信号線路の長さ及び出力端からの信号線路の長さが、隣接する信号線路系で相互に異なっていればよいので、信号線路の配置関係は、図示のものに限定されず、例えば、図3に示した第2の実施形態において、信号線路L a 2及びL b 2を配線基板の裏面に配置するように変形してもよい。

【0029】図6は、本発明に係る配線基板の第5の実施形態を示している。第5の実施形態においては、配線基板を1つの誘電体層のみとし、その表面に異なる長さの信号線路L a 1及びL b 1を形成し、裏面に異なる長さの信号線路L a 2及びL b 2を形成している。そして、信号線路L a 1とL a 2とを導電性ビアV H a 1により電気的に接続し、信号線路L b 1及びL b 2とを導電性ビアV H b 1により電気的に接続している。また、基板表面には、信号線路L a 1及びL b 1以外の部分に導電膜G 1が形成され、基板裏面には、信号線路L a 2及びL b 2以外の部分にグランド電極Gが形成され、導電膜G 1及びグランド電極GとがグランドビアG Vによって電気的に接続されている。入力側の信号線路を基板裏面に、出力側の信号線路を基板表面に形成してもよい。

【0030】第4及び第5の実施形態の信号線路の構成を、第3の実施形態のように、矩形状の任意の複数辺に配置してもよい。また、この場合、信号線路系の数が図5及び図6のものに限定されないことは、言うまでもない。第4及び第5の実施形態も、クロストークの低減に関して、第1～第3の実施形態と同様な作用効果を奏することができる。

【0031】第1～第5の実施形態の上記した以外の種々の変形及び変更が可能であることが明らかであろう。例えば、S/N比の許容値によっては、信号線路系と平行に設けたグランドビア列を削除してもよい。また、配線基板を誘電体層の3層以上の構造とし、複数の信号配線系の内面の信号配線を、異なる内面に配置してもよい。さらに、図4においては、信号線路のみを示したが、例えば、これら信号線路の一部をバイアス線路に置き換えてもよく、新たに信号線路以外の線路を追加してもよい。

【0032】本発明は以上のように構成され、各信号線路系において、信号線路と信号線路との接続点の基板端部からの距離を、隣接する信号線路系で異ならせているので、これら信号線路系相互に高いアイソレーションを確保することができる。また、隣接する信号線路系の間に、これら信号線路系に沿ってグランドビア列を設けた場合は、一層高いアイソレーションが得られ、また、高



11

周波まで伝送可能である。さらに、基板表面及び基板内面の信号線をコプレーナ線路で形成し、内面の導電膜をグラウンドビアによりグラウンド電極と同電位にした場合には、隣接する信号線路系のアイソレーションをより高度に確保することができる。さらにまた、配線基板の裏面全面をグラウンド電極とした場合は、放熱用のヒートスラグを配置することが容易となる。

【図面の簡単な説明】

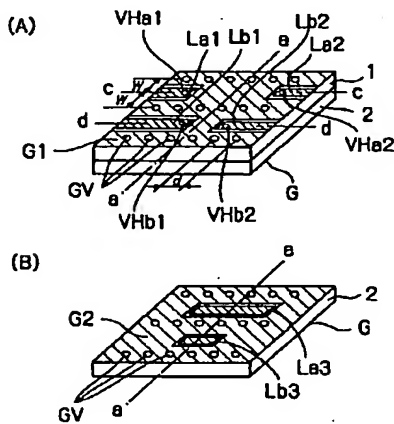
【図 1】 本発明に係る配線基板の第 1 の実施形態を説明するための図である。

【図 2】 第 1 の実施形態をシミュレーションした場合のアイソレーション特性を示すグラフである。

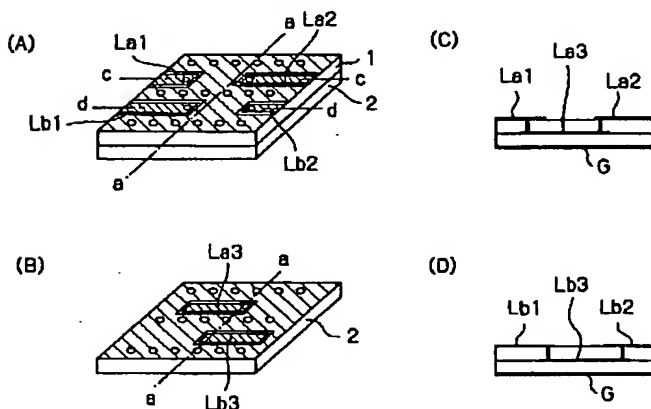
【図 3】 本発明に係る配線基板の第 2 の実施形態を説明するための図である。

【図 4】 本発明に係る配線基板の第 3 の実施形態を説明するための図である。

【図 1】



【図 3】



12

【図 5】 本発明に係る配線基板の第 4 の実施形態を説明するための図である。

【図 6】 本発明に係る配線基板の第 5 の実施形態を説明するための図である。

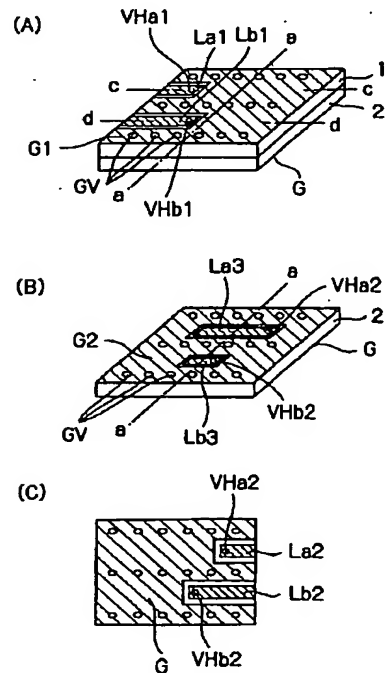
【図 7】 従来例の配線基板を説明するための図である。

【符号の簡単な説明】

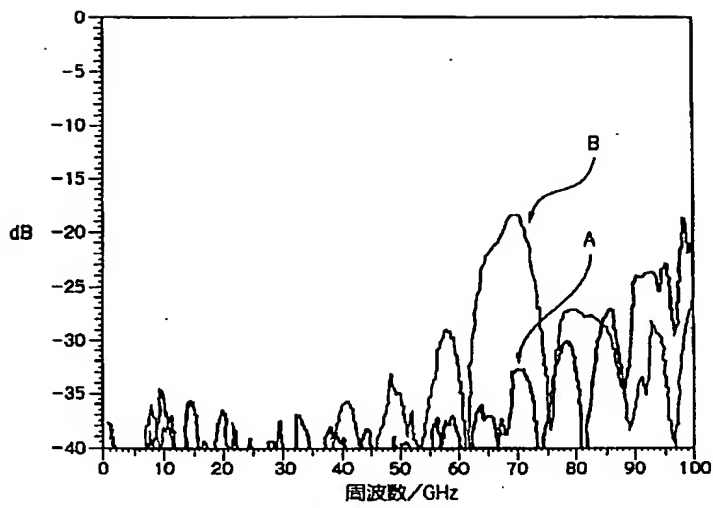
- 1…上部誘電体層 2…下部誘電体層 3…ICチップ 4…蓋  
5…ベース基板 (ヒートスラグ) 6…キャビティ  
7…封止リング  
La1~La3, Lb1~Lb3…信号線路 G…グラウンド電極  
G1, G2…導電膜 (グラウンド電極)  
VHa1, VHa2, VHb1, VHb2…導電性ビア  
GV…グラウンドビア

10

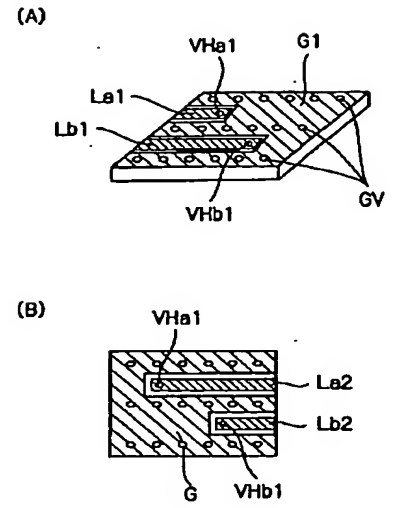
【図 5】



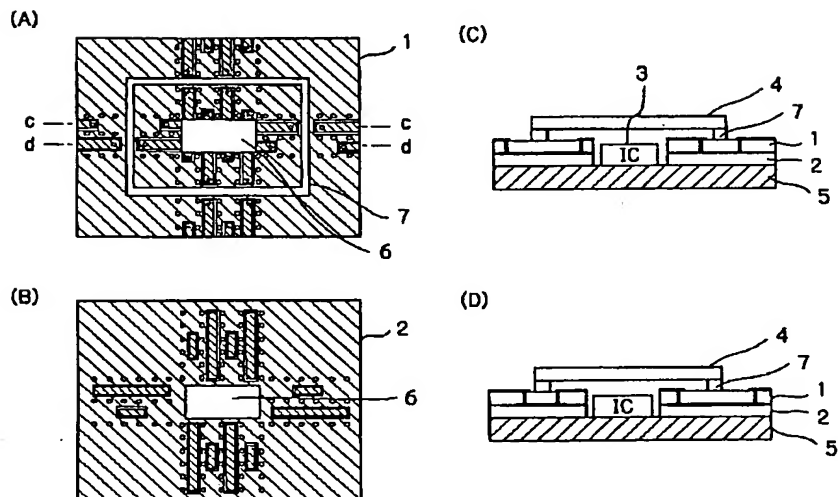
【図2】



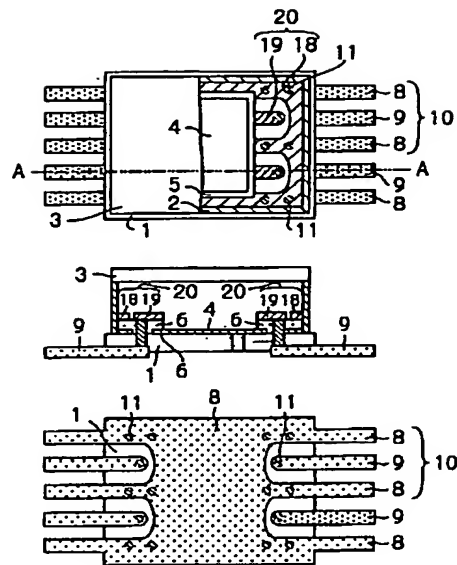
【図6】



【図4】



【図7】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I

ターマコード (参考)

H 0 5 K 1/11  
3/46

H 0 5 K 3/46

N

Q

U

H 0 1 L 23/12

J

(72) 発明者 塩原 正人

兵庫県尼崎市扶桑町1番8号 住友金属工  
業株式会社エレクトロニクス技術研究所内

F ターム (参考) 5E317 AA24 CD34 GG11

5E338 AA03 CC01 CC06 CD23 CD24  
EE13

(72) 発明者 山元 寿文

兵庫県尼崎市扶桑町1番8号 住友金属工  
業株式会社エレクトロニクス技術研究所内5E346 AA13 AA15 AA43 BB04 BB06  
BB11 FF01 HH04 HH06